

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-073365

(43)Date of publication of application : 12.03.2002

(51)Int.Cl.

G06F 11/22

(21)Application number : 2000-253325

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.08.2000

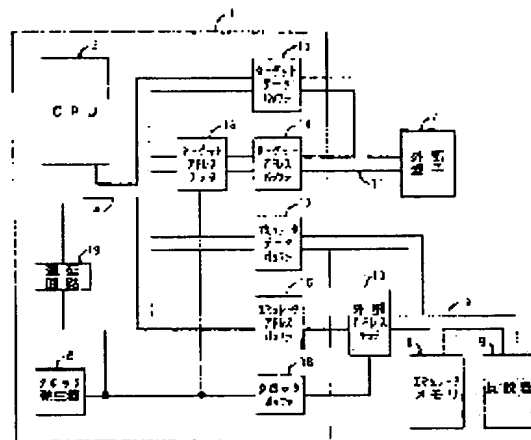
(72)Inventor : NAKAMURA KAZUO

(54) MICROPROCESSOR FOR INCIRCUIT EMULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an emulator processor which is capable of using a memory element having a desired access time as an emulator memory.

SOLUTION: The micro processor comprises a target bus 11 to allow a central processing unit CPU to perform its primary operation and an emulator bus 12 for an incircuit emulator. In the microprocessor which operates on clock signals, so that an operation signal which operates an external element 7 connected to the target bus 11 and an operation signal which operates an emulator memory 8 connected to the emulator bus 12 are output at different phases in the above clock signal, a buffer means 18 is provided for the clock signal to delay an operation signal which operates the emulator memory 8 connected to the emulator bus 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal The microprocessor for incircuit emulators characterized by outputting the active signal which operates the actuation element connected to the active signal which operates the actuation element connected to said 1st bus, and said 2nd bus with a different phase in said clock signal.

[Claim 2] In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal It delays rather than the active signal which operates the actuation element by which the active signal which operates the actuation element connected to said 2nd bus was connected to said 1st bus. The microprocessor for incircuit emulators characterized by making it outputted with a different phase in said clock signal.

[Claim 3] The microprocessor for incircuit emulators according to claim 2 characterized by supplying a clock signal to a central processing unit with a predetermined time delay.

[Claim 4] In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal While establishing the buffer means against the clock signal for delaying the active signal which operates the actuation element connected to said 2nd bus The microprocessor for incircuit emulators according to claim 2 characterized by establishing a delay means to give delay to said clock signal and to supply a central processing unit.

[Claim 5] The 1st bus for making the original actuation to the external component by the central processing unit perform, The 2nd bus for incircuit emulators into which the actuation to emulator memory is made to perform, In the microprocessor which is equipped with the clock signal generator which generates the clock signal for control, and operates based on the clock signal by said clock signal generator The 1st latch means which performs latch actuation to the active signal which receives a clock signal from said clock signal generator, and contains the address signal in said 1st bus, The 2nd latch means which performs latch actuation to the active signal which receives a clock signal from said clock signal generator, and contains the address signal in said 2nd bus, The buffer means for delaying the clock signal to said 2nd latch means, While delaying the active signal which operates the actuation element which established the delay means for delaying the clock signal to said central processing unit, and was connected to said 2nd bus by said buffer means The microprocessor for incircuit emulators according to claim 2 characterized by giving delay to said clock signal supplied to a central processing unit by said delay means.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the microprocessor used for the incircuit emulator which is program debugging equipment of a microprocessor.

[0002]

[Description of the Prior Art] An incircuit emulator (henceforth an emulator) is in the equipment which debugs the program of a microprocessor. Drawing 3 is what showed this, drawing 3 (a) shows the configuration of the usual microprocessor, and drawing 3 R> 3 (b) shows the configuration of the emulator. It sets to drawing, and 1 is a microprocessor chip for an emulator (emulator processor), and a microprocessor chip (target processor) usual in 2, and CPU (central processing unit)3 which has this function in both of the processors 1 and 2 is built in. 4 is a bus inside a chip (internal bus), and 5 is the interior ROM of the target processor 2. 7 is an external component connected to the chip exterior, and is connected to the target processor 2 or the emulator processor 1 by target bus 11. 30 is a bus buffer which combines an internal bus 4 and the target bus 11.

[0003] A program is stored in these internal ROM:5 in the usual microprocessor. On the other hand, in the emulator, the emulator memory 8 is formed instead of Interior ROM. And by writing a program in the emulator memory 8 from an external computer system (it having omitted by a diagram), and making the emulator processor 1 perform it, easily, the created program is evaluated and can be changed now. In addition, a comparator for 9 to detect a break point, the emulator bus by which 12 connects the emulator processor 1 with the emulator memory 8 and a comparator 9, and 31 are bus buffers which combine an internal bus and the emulator bus 11.

[0004] Drawing 4 expresses the conventional example of the configuration of the emulator of drawing 3 (b) in more detail. For 1, as for CPU and 4, in drawing, an emulator processor and 3 are [an internal bus and 6] clock generation machines. a comparator for the external component as program memory and 8 to detect emulator memory, and for 7 detect a break point, as for 9, and 11 -- a target bus and 12 -- for a target address buffer and 15, as for an emulator address buffer and 17, a target data buffer and 16 are [an emulator bus and 13 / a target address latch and 14 / an emulator data buffer and 20] emulator address latches. 21 is an external address buffer, and it is prepared in order to drive the output of the emulator address buffer 16, since the stray capacity of the emulator bus 12 is large. In addition, in the internal bus 4, the target bus 11, and the emulator bus 12, the address signal, the data signal, and the command signal are contained in each.

[0005] Next, actuation is explained. The clock generation machine 6 generates a clock signal (henceforth a clock) like drawing 5 (a). This is supplied to CPU:3, the target address latch 13, and the emulator address latch 20.

[0006] CPU: Although access of three is performed for every cycle of a clock [drawing 5 (a)], consider the case where CPU:3 lead program memory 8, i.e., emulator memory, and the external component 7 here. First, CPU:3 output the access address and the command of the purport whose access is a lead to an internal bus 4 as an address signal and a command signal in falling of a clock, respectively. The address signal of an internal bus 4 is shown in drawing 5 (b).

[0007] The target address latch 13 latches these in the standup of a clock. The target address buffer 14 outputs this output to the target bus 11 as an address signal and a command signal. Similarly, the emulator address latch 20 latches the address signal and command signal of an internal bus 4 in the standup of a clock. The emulator address latch's 20 output is shown in drawing 5 R> 5 (c). The emulator address buffer 16 outputs this output to the external address buffer 21, and the external address buffer 21 outputs it to the emulator bus 12 as an address signal and a command signal. The address signal of the emulator bus 12 is

shown in drawing 5 (e).

[0008] The external component 7 as program memory supervises the address signal and command signal of the target bus 11, shows the address with which the address signal was assigned to self, and when a command signal is a lead, it outputs lead data to the data signal of the target bus 11. The target data buffer 15 outputs lead data to an internal bus 4. The emulator memory 8 supervises the address signal and command signal of the emulator bus 12, shows the address with which the address signal was assigned to self, and when a command signal is a lead, it outputs lead data to the emulator bus 12 as a data signal. The emulator data buffer 17 outputs lead data to an internal bus 4. The output of the emulator memory 8, i.e., the data signal of the emulator bus 12, is shown in drawing 5 (f). The data signal of an internal bus 4 is shown in drawing 5 (g). Finally, CPU:3 incorporate this lead data inside CPU:3 self in the standup of a clock [drawing 5 (a)]. In addition, since it is not directly related to this invention, control of any of the target data buffer 15 and the emulator data buffer 17 to make output to an internal bus 4 is omitted here.

[0009] Thus, in this example, access of the emulator bus 12 is accessed to the same timing as the target bus 11 [refer to drawing 5 (e)]. Since access of this emulator bus 12 is performed for every clock and the emulator address latch 20 is formed, that procedure will be pipelined by two steps, the procedure before the emulator address latch 20 latches the address signal of an internal bus, and the procedure after it.

[0010] Here, the period of access is considered. A pipeline's period presupposes that it is the 2nd step, i.e., the procedure after latching an address signal, here, although it is dependent on the part which starts for a long time among each stages of a pipeline as for time amount. This time amount serves as total of the address latch's 20 time delay E, the time delay F of the emulator address buffer 16, the time delay G of the external address buffer 21, access-time [of the emulator memory 8] Q, the time delay C of the emulator data buffer 17, and setup-time D of data incorporation of CPU:3. Therefore, if the period T of a clock is decided, it is necessary to make access-time Q of the emulator memory 8 smaller than Q by the following (1) type.

$$Q=T-(E+F+G+C+D) \dots\dots\dots (1)$$

[0011]

[Problem(s) to be Solved by the Invention] This invention was made in view of such a point, and aims at offering an emulator processor with the usable memory device which has the desired access time as emulator memory.

[0012]

[Means for Solving the Problem] In the microprocessor for incircuit emulators concerning the 1st invention In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal The active signal which operates the actuation element connected to the active signal which operates the actuation element connected to said 1st bus, and said 2nd bus is made to be outputted with a different phase in said clock signal.

[0013] In the microprocessor for incircuit emulators concerning the 2nd invention In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal It delays rather than the active signal which operates the actuation element by which the active signal which operates the actuation element connected to said 2nd bus was connected to said 1st bus, and is made to be outputted with a different phase in said clock signal.

[0014] In the microprocessor for incircuit emulators concerning the 3rd invention, a clock signal is supplied to a central processing unit with a predetermined time delay.

[0015] In the microprocessor for incircuit emulators concerning the 4th invention In the microprocessor which has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal While establishing the buffer means against the clock signal for delaying the active signal which operates the actuation element connected to said 2nd bus, a delay means to give delay to said clock signal and to supply a central processing unit is established.

[0016] In the microprocessor for incircuit emulators concerning the 5th invention The 1st bus for making the original actuation to the external component by the central processing unit perform, The 2nd bus for incircuit emulators into which the actuation to emulator memory is made to perform, In the microprocessor which is equipped with the clock signal generator which generates the clock signal for control, and operates based on the clock signal by said clock signal generator The 1st latch means which performs latch actuation to the active signal which receives a clock signal from said clock signal generator, and contains the address signal in said 1st bus, The 2nd latch means which performs latch actuation to the active signal which

receives a clock signal from said clock signal generator, and contains the address signal in said 2nd bus, The buffer means for delaying the clock signal to said 2nd latch means, While delaying the active signal which operates the actuation element which established the delay means for delaying the clock signal to said central processing unit, and was connected to said 2nd bus by said buffer means Delay is given to said clock signal supplied to a central processing unit by said delay means.

[0017]

[Embodiment of the Invention] gestalt 1. of operation -- the gestalt of operation by this invention is explained about drawing 1 and drawing 2 . Drawing 1 shows the configuration of the emulator in the gestalt of operation by this invention. Drawing 2 is the wave form chart showing the timing of operation in the gestalt of operation by this invention. For 1, as for CPU and 4, in drawing, an emulator processor and 3 are [an internal bus and 6] clock generation machines. A comparator for the external component as program memory and 8 to detect the emulator memory as program memory, and for 7 detect a break point, as for 9 and 10 are external address latches. 11 -- a target bus and 12 -- an emulator bus and 13 -- for a target data buffer and 16, as for an emulator data buffer and 18, an emulator address buffer and 17 are [a target address latch and 14 / a target address buffer and 15 / a clock buffer and 19] delay circuits. In addition, in the internal bus 4, the target bus 11, and the emulator bus 12, the address signal, the data signal, and the command signal are contained in each. Moreover, the external address latch 10 shall have both a latch function and buffer ability like TI, Inc. SN74VCTH373.

[0018] Next, actuation is explained. The clock generation machine 6 generates a clock like drawing 2 (a). This clock is supplied to the external address latch 10 via the clock buffer 18 while it is supplied to the target address latch 13 and also it is supplied to CPU:3 via a delay circuit 19. CPU: The clock as an output of a delay circuit 19 supplied to three is shown in drawing 2 (b).

[0019] CPU: Although access of three is performed for every cycle of a clock [drawing 2 (b)], consider the case where CPU:3 lead program memory 8, i.e., emulator memory, and the external component 7 here. First, CPU:3 output the access address and the command of the purport whose access is a lead to an internal bus 4 as an address signal and a command signal in falling of a clock [drawing 2 (b)], respectively. The address signal of an internal bus 4 is shown in drawing 2 (d).

[0020] The target address latch 13 latches these in the standup of a clock [drawing 2 (a)]. The target address buffer 14 outputs this output to the target bus 11 as an address signal and a command signal. On the other hand, the emulator address buffer 16 outputs the address signal and command signal of an internal bus 4 to the direct chip exterior. The output of the emulator address buffer 16 is shown in drawing 2 (e). The external address latch 10 latches these in the standup of the clock [drawing 2 (c)] as an output of the clock buffer 18, and outputs to the emulator bus 12 as an address signal and a command signal. The address signal of the emulator bus 12 is shown in drawing 2 (f).

[0021] The external component 7 as program memory which constitutes the actuation element in the target bus 11 supervises the active signal which consists of the address signal and command signal of the target bus 11, shows the address with which the address signal was assigned to self, and when a command signal is a lead, it outputs lead data to the data signal of the target bus 11. The target data buffer 15 outputs lead data to an internal bus 4. The emulator memory 8 which constitutes the actuation element in the emulator bus 12 supervises the active signal which consists of the address signal and command signal of the emulator bus 12, shows the address with which the address signal was assigned to self, and when a command signal is a lead, it outputs lead data to the data signal of the emulator bus 12. The output of the emulator memory 8, i.e., the data signal of the emulator bus 12, is shown in drawing 2 (g). The emulator data buffer 17 outputs lead data to an internal bus 4. The data signal of an internal bus 4 is shown in drawing 2 (h). Finally, CPU:3 incorporate this lead data inside CPU:3 self in the standup of the clock [drawing 2 (b)] as an output of a delay circuit 19. In addition, since it is not directly related to this invention, control of any of the target data buffer 15 and the emulator data buffer 17 to make output to an internal bus 4 is omitted here.

[0022] The external component 7 as program memory which constitutes the actuation element in the target bus 11 here stores the program about CPU:3 set as the object of evaluation and modification, i.e., a target program, and performs original actuation by CPU:3 in the target bus 11. On the other hand, the correction program for evaluating and changing said target program is written in the emulator memory 8 as program memory which constitutes the actuation element in the emulator bus 12 from an external computer system (not shown), and it stores it. A change to evaluation and the amelioration program of a target program can be easily made by creating the program stored in the emulator memory 8 according to an external computer system, writing in the emulator memory 8, and making the emulator processor 1 perform it.

[0023] as mentioned above -- this example -- the address signal [drawing 2 (f)] of the emulator bus 12 -- the

target bus 11 -- the half period of a clock -- it is outputted to the chip exterior to early timing. In this case, the time amount which the procedure after latching an address signal takes serves as total of the external address latch's 10 time delay H, access-time [of the emulator memory 8] P, the time delay C of the emulator data buffer 17, and setup-time D of data incorporation of CPU:3. However, only the time delay X of a delay circuit 19 is behind the clock [drawing 2 (a)] of a basis in the clock [drawing 2 (b)] inputted into CPU:3 here, and only the time delay Y of the clock buffer 18 is behind the clock [drawing 2 (a)] of a basis in the clock [drawing 2 R> 2 (c)] inputted into the external address latch 10. Therefore, when the period of a clock is T, it is necessary to make access-time P of the emulator memory 8 smaller than P by the following (2) types.

$$P=T-(Y+H+C+D)+X \dots\dots\dots (2)$$

[0024] If the access request time amount Q of the conventional example is compared with the access request time amount P by this invention here, it will become like the following (3) types.

$$P-Q=T-(Y+H+C+D)+X-T+(E+F+G+C+D) \\ = (G-H)+(X-Y)+(E+F) \dots\dots\dots (3)$$

H is a time delay from the external address latch's 10 clock here, and G is the time delay of the external address buffer 21 (drawing 4 R> 4). Moreover, when the external address latch 10 is set to TI, Inc. SN74VCTH373 and the external address buffer 21 (drawing 4) is set to TI, Inc. SN74VCTH244A, at maximum, those time delays are H= 4.9ns, respectively, and are G= 3.8ns. Moreover, since X is the time delay of a delay circuit 19 and can be set as arbitration, if X is made larger for 1.1ns than the time delay Y of the clock buffer 18, it becomes like the following (4) types and the emulator processor of this invention can use [only the sum of the address latch's 20 time delay E and the time delay F of the emulator address buffer 16] a memory device with the large access time rather than the conventional emulator processor.

$$P-Q=E+F \dots\dots\dots (4)$$

Moreover, if the time delay X of a delay circuit 19 is enlarged more, it cannot be overemphasized that a memory device with still larger the part and access time can be used.

[0025] The 1st bus which consists of a target bus 11 for making the original actuation to the external component 7 as program memory by central processing unit CPU:3 perform according to the gestalt of operation by this invention, The 2nd bus which consists of an emulator bus 12 for incircuit emulators into which the actuation to the emulator memory 8 is made to perform, In the microprocessor which is equipped with the clock signal generator 6 which generates the clock signal for control, and operates based on the clock signal by said clock signal generator 6 The 1st latch means which consists of target address latch 13 who performs latch actuation to the active signal containing the address signal in the 1st bus which receives a clock signal from said clock signal generator 6, and consists of said target bus 11, The 2nd latch means which consists of external address latch 10 who performs latch actuation to the active signal which receives a clock signal from said clock signal generator 6, and contains the address signal in said 2nd bus 12, The buffer means which consists of a clock buffer 18 for delaying the clock signal to said 2nd latch means which consists of external address latch 10, The delay means which consists of a delay circuit 19 for delaying the clock signal of said central processing unit CPU:3 is established. While delaying the active signal which operates the actuation element which consists of emulator memory 8 connected to the 2nd bus which consists of said emulator bus 12 with the buffer means which consists of said clock buffer 18 Since delay was given to said clock signal supplied to central processing unit CPU:3 by the delay means which consists of said delay circuit 19 An emulator processor with the usable memory device which has the access time of a comparatively large request of the access time as emulator memory 8 can be offered.

[0026]

[Effect of the Invention] In the microprocessor which according to the 1st invention has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal Since the active signal which operates the actuation element connected to the active signal which operates the actuation element connected to said 1st bus, and said 2nd bus was made to be outputted with a different phase in said clock signal An emulator processor with the usable memory device which has the desired access time as emulator memory can be offered.

[0027] In the microprocessor which according to the 2nd invention has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal Since it delays rather than the active signal which operates the actuation element by which the active signal which operates the actuation element connected to said 2nd bus was connected to said 1st bus and made to be outputted with a different phase in said clock signal By delaying rather than the active signal which operates the actuation element by which the active signal which operates the actuation element

connected to the 2nd bus was connected to the 1st bus An emulator processor with the usable memory device which has the access time of a comparatively large request of the access time as emulator memory can be offered.

[0028] According to the 3rd invention, since the clock signal was supplied to the central processing unit with the predetermined time delay, an emulator processor with the usable memory device which has the access time of a comparatively large request of the access time as emulator memory can be offered by supplying a clock signal to a central processing unit with a predetermined time delay.

[0029] In the microprocessor which according to the 4th invention has the 1st bus for making the original actuation by the central processing unit perform, and the 2nd bus for incircuit emulators, and operates based on a clock signal While establishing the buffer means against the clock signal for delaying the active signal which operates the actuation element connected to said 2nd bus Since a delay means to have given delay to said clock signal and to supply a central processing unit was established By establishing a delay means to give delay to the buffer means and clock signal over a clock signal for delaying the active signal which operates the actuation element connected to the 2nd bus, and to supply a central processing unit An emulator processor with the usable memory device which has the access time of a comparatively large request of the access time as emulator memory can be offered.

[0030] The 1st bus for making the original actuation to the external component by the central processing unit perform according to the 5th invention, The 2nd bus for incircuit emulators into which the actuation to emulator memory is made to perform, In the microprocessor which is equipped with the clock signal generator which generates the clock signal for control, and operates based on the clock signal by said clock signal generator The 1st latch means which performs latch actuation to the active signal which receives a clock signal from said clock signal generator, and contains the address signal in said 1st bus, The 2nd latch means which performs latch actuation to the active signal which receives a clock signal from said clock signal generator, and contains the address signal in said 2nd bus, The buffer means for delaying the clock signal to said 2nd latch means, While delaying the active signal which operates the actuation element which established the delay means for delaying the clock signal to said central processing unit, and was connected to said 2nd bus by said buffer means Since delay was given to said clock signal supplied to a central processing unit by said delay means By establishing a delay means to give delay to the buffer means and clock signal for delaying the clock signal to the latch means against the active signal which operates the actuation element connected to the 2nd bus, and to supply a central processing unit An emulator processor with the usable memory device which has the access time of a comparatively long request of the access time as emulator memory can be offered.

[Translation done.]

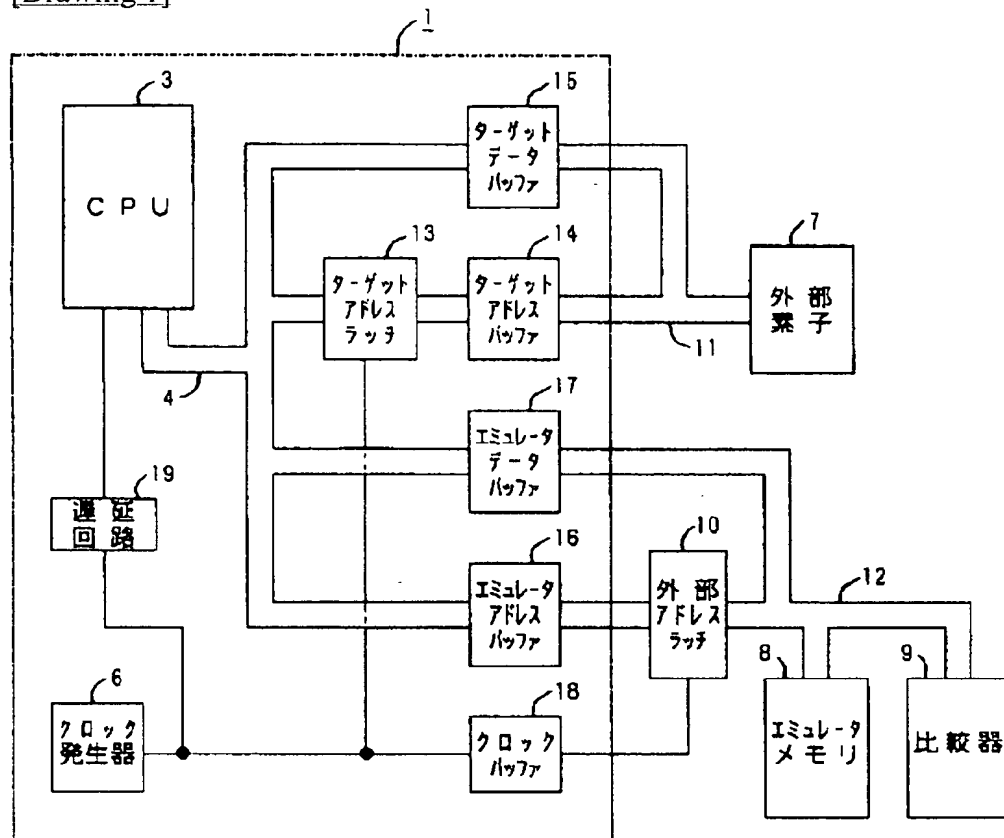
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

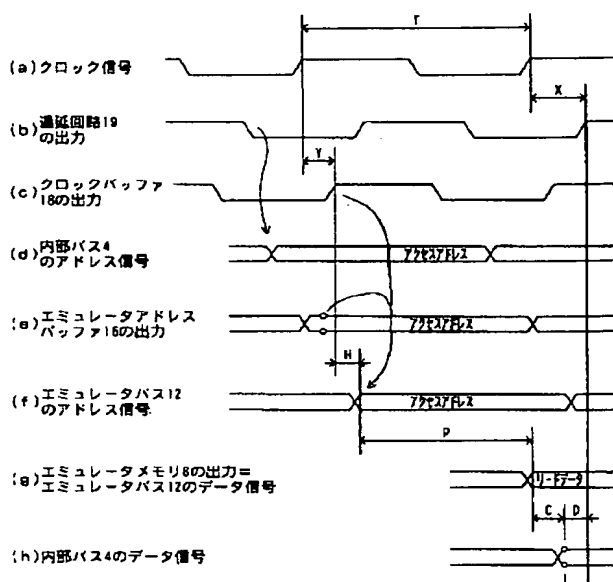
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

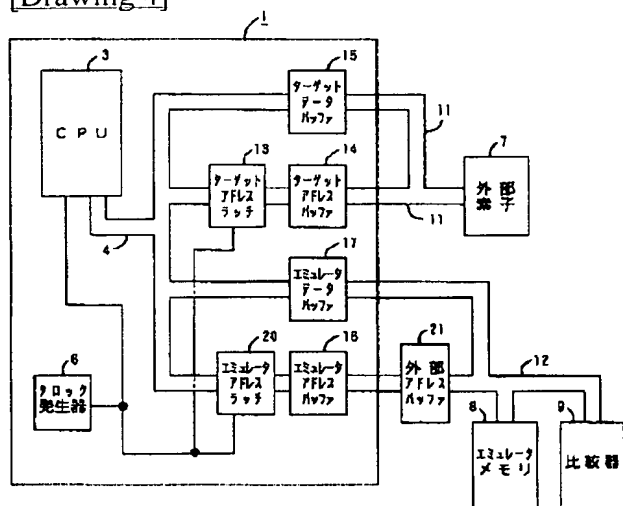
[Drawing 1]



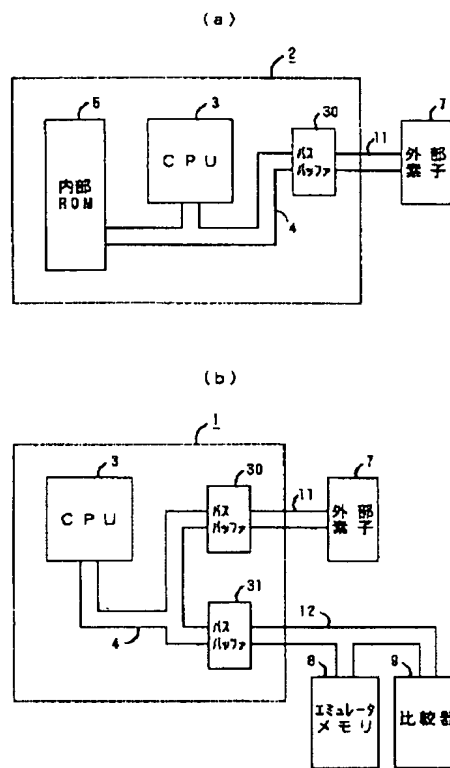
[Drawing 2]



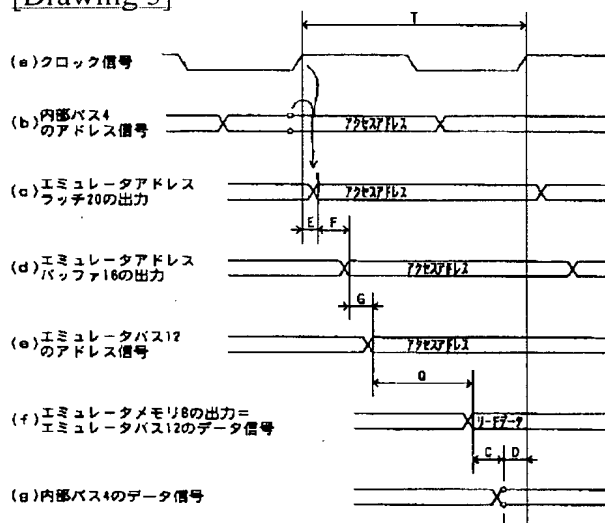
[Drawing 4]



[Drawing 3]



[Drawing 5]



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-073365

(43)Date of publication of application : 12.03.2002

(51)Int.Cl.

G06F 11/22

(21)Application number : 2000-253325

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.08.2000

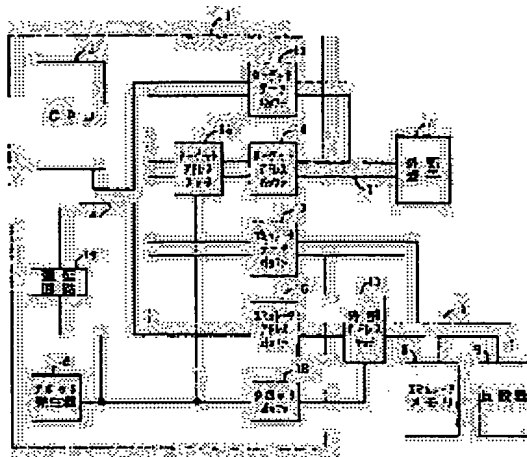
(72)Inventor : NAKAMURA KAZUO

(54) MICROPROCESSOR FOR INCIRCUIT EMULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an emulator processor which is capable of using a memory element having a desired access time as an emulator memory.

SOLUTION: The micro processor comprises a target bus 11 to allow a central processing unit CPU to perform its primary operation and an emulator bus 12 for an incircuit emulator. In the microprocessor which operates on clock signals, so that an operation signal which operates an external element 7 connected to the target bus 11 and an operation signal which operates an emulator memory 8 connected to the emulator bus 12 are output at different phases in the above clock signal, a buffer means 18 is provided for the clock signal to delay an operation signal which operates the emulator memory 8 connected to the emulator bus 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-73365

(P2002-73365A)

(43) 公開日 平成14年3月12日 (2002.3.12)

(51) Int.Cl.⁷

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

データ* (参考)

3 4 0 A 5 B 0 4 8

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-253325 (P2000-253325)

(22) 出願日 平成12年8月24日 (2000.8.24)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中村 和夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100088199

弁理士 竹中 岑生 (外3名)

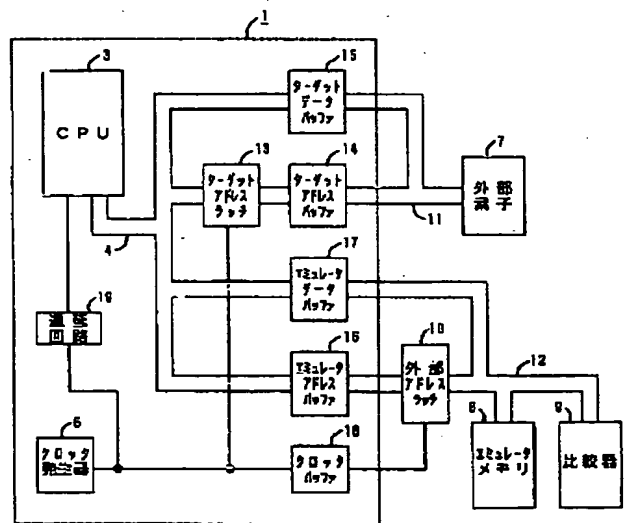
Fターム(参考) 5B048 AA11 AA13 BB02

(54) 【発明の名称】 インサーキットエミュレータ用マイクロプロセッサ

(57) 【要約】

【課題】 エミュレータメモリとして所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供する。

【解決手段】 中央処理装置CPUによる本来の動作を行わせるためのターゲットバス11と、インサーキットエミュレータ用のエミュレータバス12とを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、ターゲットバス11に接続された外部素子7を動作させる作動信号とエミュレータバス12に接続されたエミュレータメモリ8を動作させる作動信号とが前記クロック信号における異なる位相で出力されるように、エミュレータバス12に接続されたエミュレータメモリ8を動作させる作動信号を遅延させるためのクロック信号に対するバッファ手段18を設けた。



【特許請求の範囲】

【請求項1】 中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第1のバスに接続された作動要素を動作させる作動信号と前記第2のバスに接続された作動要素を動作させる作動信号とが前記クロック信号における異なる位相で出力されるようにしたことを特徴とするインサークットエミュレータ用マイクロプロセッサ。

【請求項2】 中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号を前記第1のバスに接続された作動要素を動作させる作動信号よりも遅らせて、前記クロック信号における異なる位相で出力されるようにしたことを特徴とするインサークットエミュレータ用マイクロプロセッサ。

【請求項3】 中央処理装置には所定の遅延時間をもってクロック信号が供給されることを特徴とする請求項2に記載のインサークットエミュレータ用マイクロプロセッサ。

【請求項4】 中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるためのクロック信号に対するバッファ手段を設けるとともに、前記クロック信号に遅延を与えて中央処理装置に供給する遅延手段を設けたことを特徴とする請求項2に記載のインサークットエミュレータ用マイクロプロセッサ。

【請求項5】 中央処理装置による外部素子に対する本来の動作を行わせるための第1のバスと、エミュレータメモリに対する動作を行わせるインサークットエミュレータ用の第2のバスと、制御のためのクロック信号を発生するクロック信号発生器とを備え、前記クロック信号発生器によるクロック信号に基づいて動作するマイクロプロセッサにおいて、前記クロック信号発生器からクロック信号を受け前記第1のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第1のラッチ手段と、前記クロック信号発生器からクロック信号を受け前記第2のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第2のラッチ手段と、前記第2のラッチ手段へのクロック信号を遅延させるためのバッファ手段と、前記中央処理装置へのクロック信号を遅延させるための遅延手段とを設け、前記バッファ手段により前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるとともに、前記遅延手段により中央

処理装置に供給される前記クロック信号に遅延を与えるようにしたことを特徴とする請求項2に記載のインサークットエミュレータ用マイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロプロセッサのプログラムデバッグ装置であるインサークットエミュレータに使用するマイクロプロセッサに関するものである。

【0002】

【従来の技術】マイクロプロセッサのプログラムをデバッグする装置にインサークットエミュレータ（以下、エミュレータという）がある。図3はこれを示したもので、図3（a）は通常のマイクロプロセッサの構成、図3（b）はそのエミュレータの構成を示したものである。図において、1はエミュレータのためのマイクロプロセッサチップ（エミュレータプロセッサ）、2は通常のマイクロプロセッサチップ（ターゲットプロセッサ）であり、どちらのプロセッサ1、2にも同機能を有するCPU（中央処理装置）3が内蔵されている。4はチップ内部のバス（内部バス）、5はターゲットプロセッサ2の内部ROMである。7はチップ外部に接続される外部素子であり、ターゲットバス11でターゲットプロセッサ2あるいはエミュレータプロセッサ1に接続されている。30は内部バス4とターゲットバス11を結合するバスバッファである。

【0003】通常のマイクロプロセッサでは、この内部ROM：5にプログラムが格納される。一方、エミュレータでは内部ROMの代わりにエミュレータメモリ8が設けられている。そして、外部のコンピュータシステム（図では省略してある）からエミュレータメモリ8にプログラムを書き込み、エミュレータプロセッサ1にそれを実行させることにより、作成したプログラムを容易に評価、変更できるようになっている。なお、9はブレークポイントを検出するための比較器、12はエミュレータメモリ8、比較器9とエミュレータプロセッサ1を接続するエミュレータバス、31は内部バスとエミュレータバス11を結合するバスバッファである。

【0004】図4は、図3（b）のエミュレータの構成の従来例を、より詳しく表したものである。図において、1はエミュレータプロセッサ、3はCPU、4は内部バス、6はクロック発生器である。7はプログラムメモリとしての外部素子、8はエミュレータメモリ、9はブレークポイントを検出するための比較器、11はターゲットバス、12はエミュレータバス、13はターゲットアドレスラッチ、14はターゲットアドレスバッファ、15はターゲットデータバッファ、16はエミュレータアドレスバッファ、17はエミュレータデータバッファ、20はエミュレータアドレスラッチである。21は外部アドレスバッファであり、エミュレータバス12

の浮遊容量が大きいためエミュレータアドレスバッファ16の出力をドライブするために設けられている。なお、内部バス4、ターゲットバス11、エミュレータバス12には、各々に、アドレス信号、データ信号およびコマンド信号が含まれている。

【0005】次に、動作について説明する。クロック発生器6は図5(a)のようなクロック信号(以下、クロックという)を発生する。これは、CPU:3、ターゲットアドレスラッチ13、エミュレータアドレスラッチ20に供給される。

【0006】CPU:3のアクセスはクロック〔図5(a)〕のサイクル毎に行われるが、ここで、CPU:3がプログラムメモリ、つまり、エミュレータメモリ8か、外部素子7をリードする場合を考える。まず最初に、CPU:3がクロックの立ち下がりでアクセスアドレスとアクセスがリードである旨のコマンドをそれぞれ内部バス4にアドレス信号とコマンド信号として出力する。内部バス4のアドレス信号は、図5(b)に示される。

【0007】ターゲットアドレスラッチ13は、これらをクロックの立ち上がりでラッチする。ターゲットアドレスバッファ14は、この出力をターゲットバス11にアドレス信号とコマンド信号として出力する。同様に、エミュレータアドレスラッチ20は、内部バス4のアドレス信号とコマンド信号をクロックの立ち上がりでラッチする。エミュレータアドレスラッチ20の出力は、図5(c)に示される。エミュレータアドレスバッファ16は、この出力を外部アドレスバッファ21に出力し、外部アドレスバッファ21は、それをエミュレータバス12にアドレス信号とコマンド信号として出力する。エミュレータバス12のアドレス信号は、図5(e)に示される。

【0008】プログラムメモリとしての外部素子7は、ターゲットバス11のアドレス信号とコマンド信号を監視し、もしアドレス信号が自身に割り当てられたアドレスを示しており、コマンド信号がリードの時はリードデータをターゲットバス11のデータ信号に出力する。ターゲットデータバッファ15は、リードデータを内部バス4に出力する。エミュレータメモリ8は、エミュレータバス12のアドレス信号とコマンド信号を監視し、もしアドレス信号が自身に割り当てられたアドレスを示しており、コマンド信号がリードの時はリードデータをエミュレータバス12にデータ信号として出力する。エミュレータデータバッファ17はリードデータを内部バス4に出力する。エミュレータメモリ8の出力、すなわち、エミュレータバス12のデータ信号は、図5(f)に示される。内部バス4のデータ信号は、図5(g)に示される。最後に、CPU:3は、このリードデータをクロック〔図5(a)〕の立ち上がりでCPU:3自身の内部に取り込む。なお、ターゲットデータバッファ15、エミュレータデータバッファ17のいずれを内部バス4に出力させるかの制御は、この発明と直接関係しないので、ここでは省略する。

【0009】このように、この例ではエミュレータバス12のアクセスはターゲットバス11と同一のタイミングでアクセスされる〔図5(e)参照〕。このエミュレータバス12のアクセスはクロック毎に実行されており、エミュレータアドレスラッチ20が設けられているので、その手続きは、エミュレータアドレスラッチ20が内部バスのアドレス信号をラッチする以前の手続きと、それ以後の手続きの2段にパイプライン化されていることになる。

【0010】ここで、アクセスの周期について考える。パイプラインの周期はパイプラインの各々の段のうち一番長く時間のかかる部分に依存するが、ここでは2段目、つまり、アドレス信号をラッチする以後の手続きであるとする。この時間は、アドレスラッチ20の遅延時間E、エミュレータアドレスバッファ16の遅延時間F、外部アドレスバッファ21の遅延時間G、エミュレータメモリ8のアクセス時間Q、エミュレータデータバッファ17の遅延時間C、CPU:3のデータ取り込みのセットアップ時間Dの総和となる。したがって、クロックの周期Tが決まれば、エミュレータメモリ8のアクセス時間Qは、次の(1)式によるQより小さくする必要がある。

..... (1)

ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第1のバスに接続された作動要素を動作させる作動信号と前記第2のバスに接続された作動要素を動作させる作動信号とが前記クロック信号における異なる位相で出力されるようにしたものである。

【0013】第2の発明に係るインサートキットエミュレータ用マイクロプロセッサでは、中央処理装置による本来の動作を行わせるための第1のバスと、インサートキットエミュレータ用の第2のバスを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号

【0011】

【発明が解決しようとする課題】この発明は、このような点に鑑みてなされたもので、エミュレータメモリとして所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することを目的としている。

【0012】

【課題を解決するための手段】第1の発明に係るインサートキットエミュレータ用マイクロプロセッサでは、中央処理装置による本来の動作を行わせるための第1のバスと、インサートキットエミュレータ用の第2のバスとを持

を前記第1のバスに接続された作動要素を動作させる作動信号よりも遅らせて、前記クロック信号における異なる位相で出力されるようにしたものである。

【0014】第3の発明に係るインサートキットエミュレータ用マイクロプロセッサでは、中央処理装置には所定の遅延時間をもってクロック信号が供給されるようにしたものである。

【0015】第4の発明に係るインサートキットエミュレータ用マイクロプロセッサでは、中央処理装置による本来の動作を行わせるための第1のバスと、インサートキットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるためのクロック信号に対するバッファ手段を設けるとともに、前記クロック信号に遅延を与えて中央処理装置に供給する遅延手段を設けたものである。

【0016】第5の発明に係るインサートキットエミュレータ用マイクロプロセッサでは、中央処理装置による外部素子に対する本来の動作を行わせるための第1のバスと、エミュレータメモリに対する動作を行わせるインサートキットエミュレータ用の第2のバスと、制御のためのクロック信号を発生するクロック信号発生器とを備え、前記クロック信号発生器によるクロック信号に基づいて動作するマイクロプロセッサにおいて、前記クロック信号発生器からクロック信号を受け前記第1のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第1のラッチ手段と、前記クロック信号発生器からクロック信号を受け前記第2のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第2のラッチ手段と、前記第2のラッチ手段へのクロック信号を遅延させるためのバッファ手段と、前記中央処理装置へのクロック信号を遅延させるための遅延手段とを設け、前記バッファ手段により前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるとともに、前記遅延手段により中央処理装置に供給される前記クロック信号に遅延を与えるようにしたものである。

【0017】

【発明の実施の形態】実施の形態1. この発明による実施の形態を、図1および図2について説明する。図1は、この発明による実施の形態におけるエミュレータの構成を示したものである。図2は、この発明による実施の形態における動作タイミングを示す波形図である。図において、1はエミュレータプロセッサ、3はCPU、4は内部バス、6はクロック発生器である。7はプログラムメモリとしての外部素子、8はプログラムメモリとしてのエミュレータメモリ、9はブレークポイントを検出するための比較器、10は外部アドレスラッチである。11はターゲットバス、12はエミュレータバス、13はターゲットアドレスラッチ、14はターゲットアドレスバッファ、15はターゲットデータバッファ、1

6はエミュレータアドレスバッファ、17はエミュレータデータバッファ、18はクロックバッファ、19は遅延回路である。なお、内部バス4、ターゲットバス11、エミュレータバス12には、各々に、アドレス信号、データ信号およびコマンド信号が含まれている。また、外部アドレスラッチ10は、TI社SN74VCTH373のようにラッチ機能とバッファ機能の両方を有しているものとする。

【0018】次に、動作について説明する。クロック発生器6は、図2(a)のようなクロックを発生する。このクロックは、ターゲットアドレスラッチ13に供給されるほか、遅延回路19を経由してCPU:3に供給されるとともに、クロックバッファ18を経由して外部アドレスラッチ10に供給される。CPU:3に供給される、遅延回路19の出力としてのクロックは、図2(b)に示される。

【0019】CPU:3のアクセスはクロック〔図2(b)〕のサイクル毎に行われるが、ここで、CPU:3がプログラムメモリ、つまり、エミュレータメモリ8か、外部素子7をリードする場合を考える。まず最初に、CPU:3がクロック〔図2(b)〕の立ち下がりアクセスアドレスとアクセスがリードである旨のコマンドをそれぞれ内部バス4にアドレス信号とコマンド信号として出力する。内部バス4のアドレス信号は、図2(d)に示される。

【0020】ターゲットアドレスラッチ13は、これらをクロック〔図2(a)〕の立ち上がりでラッチする。ターゲットアドレスバッファ14は、この出力をターゲットバス11にアドレス信号とコマンド信号として出力する。一方、エミュレータアドレスバッファ16は内部バス4のアドレス信号とコマンド信号を直接チップ外部に出力する。エミュレータアドレスバッファ16の出力は、図2(e)に示される。外部アドレスラッチ10はこれらをクロックバッファ18の出力としてのクロック〔図2(c)〕の立ち上がりでラッチし、エミュレータバス12にアドレス信号とコマンド信号として出力する。エミュレータバス12のアドレス信号は、図2(f)に示される。

【0021】ターゲットバス11における作動要素を構成するプログラムメモリとしての外部素子7は、ターゲットバス11のアドレス信号とコマンド信号とからなる作動信号を監視し、もし、アドレス信号が自身に割り当てられたアドレスを示しており、コマンド信号がリードのときは、リードデータをターゲットバス11のデータ信号に出力する。ターゲットデータバッファ15はリードデータを内部バス4に出力する。エミュレータバス12における作動要素を構成するエミュレータメモリ8は、エミュレータバス12のアドレス信号とコマンド信号とからなる作動信号を監視し、もし、アドレス信号が自身に割り当てられたアドレスを示しており、コマンド信

号がリードのときは、リードデータをエミュレータバス12のデータ信号に出力する。エミュレータメモリ8の出力、すなわち、エミュレータバス12のデータ信号は、図2(g)に示される。エミュレータデータバッファ17はリードデータを内部バス4に出力する。内部バス4のデータ信号は、図2(h)に示される。最後に、CPU:3は、このリードデータを遅延回路19の出力としてのクロック〔図2(b)〕の立ち上がりでCPU:3自身の内部に取り込む。なお、ターゲットデータバッファ15、エミュレータデータバッファ17のいずれを内部バス4に出力させるかの制御は、この発明と直接関係しないので、ここでは省略する。

【0022】ここで、ターゲットバス11における作動要素を構成するプログラムメモリとしての外部素子7は、評価、変更の対象となるCPU:3についてのプログラム、すなわちターゲットプログラムを格納しているものであって、ターゲットバス11においてCPU:3による本来の動作を行うものである。これに対し、エミュレータバス12における作動要素を構成するプログラムメモリとしてのエミュレータメモリ8は、前記ターゲットプログラムを評価、変更するための修正プログラムを外部のコンピュータシステム(図示せず)から書き込まれ、格納しているものである。エミュレータメモリ8

$$P = T - (Y + H + C + D) + X \dots\dots\dots (2)$$

【0024】ここで、従来例のアクセス要求時間Qと、この発明によるアクセス要求時間Pを比較すると、次の

$$\begin{aligned} P - Q &= T - (Y + H + C + D) + X - T + (E + F + G + C + D) \\ &= (G - H) + (X - Y) + (E + F) \dots\dots\dots (3) \end{aligned}$$

ここに、Hは外部アドレスラッチ10のクロックからの遅延時間であり、Gは外部アドレスバッファ21(図4)の遅延時間である。また、外部アドレスラッチ10をTI社SN74VCTH373とし、外部アドレスバッファ21(図4)をTI社SN74VCTH244Aとした場合、それらの遅延時間は最大値でそれぞれH=4.9nsであり、G=3.8nsである。また、Xは遅延回路19の遅延時間であり任意に設定できるので、Xをクロックバッファ18の遅延時間Yよりも1.1ns大きくしておけば、次の(4)式のようになり、この発明のエミュレータプロセッサの方が従来のエミュレータプロセッサよりも、アドレスラッチ20の遅延時間Eと、エミュレータアドレスバッファ16の遅延時間Fとの和だけアクセス時間の大きいメモリ素子を使用できることになる。

$$P - Q = E + F \dots\dots\dots (4)$$

また、遅延回路19の遅延時間Xをより大きくすれば、さらにその分、アクセス時間の大きいメモリ素子を使用できることは言うまでもない。

【0025】この発明による実施の形態によれば、中央処理装置CPU:3によるプログラムメモリとしての外部素子7に対する本来の動作を行わせるためのターゲッ

に格納されるプログラムを外部のコンピュータシステムにより作成して、エミュレータメモリ8に書き込み、エミュレータプロセッサ1にそれを実行させることによって、ターゲットプログラムの評価および改良プログラムへの変更作業を容易に行えるのである。

【0023】前述のように、この例では、エミュレータバス12のアドレス信号〔図2(f)〕が、ターゲットバス11よりもクロックの半周期早いタイミングで、チップ外部に出力される。この場合、アドレス信号をラッチする以後の手続きに要する時間は、外部アドレスラッチ10の遅延時間H、エミュレータメモリ8のアクセス時間P、エミュレータデータバッファ17の遅延時間C、CPU:3のデータ取り込みのセットアップ時間Dの総和となる。しかし、ここではCPU:3に入力されるクロック〔図2(b)〕がもとのクロック〔図2(a)〕より遅延回路19の遅延時間Xだけ遅れており、外部アドレスラッチ10に入力されるクロック〔図2(c)〕がもとのクロック〔図2(a)〕よりもクロックバッファ18の遅延時間Yだけ遅れている。したがって、クロックの周期がTのとき、エミュレータメモリ8のアクセス時間Pは、次の(2)式によるPより小さくする必要がある。

(3) 式のようになる。

トバス11からなる第1のバスと、エミュレータメモリ8に対する動作を行わせるインサートキットエミュレータ用のエミュレータバス12からなる第2のバスと、制御のためのクロック信号を発生するクロック信号発生器6とを備え、前記クロック信号発生器6によるクロック信号に基づいて動作するマイクロプロセッサにおいて、前記クロック信号発生器6からクロック信号を受け前記ターゲットバス11からなる第1のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行うターゲットアドレスラッチ13からなる第1のラッチ手段と、前記クロック信号発生器6からクロック信号を受け前記第2のバス12におけるアドレス信号を含む作動信号に対するラッチ動作を行う外部アドレスラッチ10からなる第2のラッチ手段と、外部アドレスラッチ10からなる前記第2のラッチ手段へのクロック信号を遅延させるためのクロックバッファ18からなるバッファ手段と、前記中央処理装置CPU:3へのクロック信号を遅延させるための遅延回路19からなる遅延手段とを設け、前記クロックバッファ18からなるバッファ手段により前記エミュレータバス12からなる第2のバスに接続されたエミュレータメモリ8からなる作動要素を動作させる作動信号を遅延させるとともに、前記遅延回路19からな

る遅延手段により中央処理装置CPU: 3に供給される前記クロック信号に遅延を与えるようにしたので、エミュレータメモリ8としてアクセス時間の比較的大きい所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【0026】

【発明の効果】第1の発明によれば、中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第1のバスに接続された作動要素を動作させる作動信号と前記第2のバスに接続された作動要素を動作させる作動信号とが前記クロック信号における異なる位相で出力されるようにしたので、エミュレータメモリとして所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【0027】第2の発明によれば、中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号を前記第1のバスに接続された作動要素を動作させる作動信号よりも遅らせて、前記クロック信号における異なる位相で出力されるようにしたので、第2のバスに接続された作動要素を動作させる作動信号を第1のバスに接続された作動要素を動作させる作動信号よりも遅らせることにより、エミュレータメモリとしてアクセス時間の比較的大きい所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【0028】第3の発明によれば、中央処理装置には所定の遅延時間をもってクロック信号が供給されるようにしたので、中央処理装置に所定の遅延時間をもってクロック信号を供給することにより、エミュレータメモリとしてアクセス時間の比較的大きい所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【0029】第4の発明によれば、中央処理装置による本来の動作を行わせるための第1のバスと、インサークットエミュレータ用の第2のバスとを持ち、クロック信号に基づいて動作するマイクロプロセッサにおいて、前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるためのクロック信号に対するバッファ手段を設けるとともに、前記クロック信号に遅延を与えて中央処理装置に供給する遅延手段を設けたので、第2のバスに接続された作動要素を動作させる作動信号を遅延させるためのクロック信号に対するバッファ手段およびクロック信号に遅延を与えて中央処理装置に供給する遅延手段を設けることにより、エミュレータメモリとしてアクセス時間の比較的大きい所望のアクセス時間を持つ

メモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【0030】第5の発明によれば、中央処理装置による外部素子に対する本来の動作を行わせるための第1のバスと、エミュレータメモリに対する動作を行わせるインサークットエミュレータ用の第2のバスと、制御のためのクロック信号を発生するクロック信号発生器とを備え、前記クロック信号発生器によるクロック信号に基づいて動作するマイクロプロセッサにおいて、前記クロック信号発生器からクロック信号を受け前記第1のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第1のラッチ手段と、前記クロック信号発生器からクロック信号を受け前記第2のバスにおけるアドレス信号を含む作動信号に対するラッチ動作を行う第2のラッチ手段と、前記第2のラッチ手段へのクロック信号を遅延させるためのバッファ手段と、前記中央処理装置へのクロック信号を遅延させるための遅延手段とを設け、前記バッファ手段により前記第2のバスに接続された作動要素を動作させる作動信号を遅延させるとともに、前記遅延手段により中央処理装置に供給される前記クロック信号に遅延を与えるようにしたので、第2のバスに接続された作動要素を動作させる作動信号に対するラッチ手段へのクロック信号を遅延させるためのバッファ手段およびクロック信号に遅延を与えて中央処理装置に供給する遅延手段を設けることにより、エミュレータメモリとしてアクセス時間の比較的大きい所望のアクセス時間を持つメモリ素子が使用可能なエミュレータプロセッサを提供することができる。

【図面の簡単な説明】

【図1】 この発明による実施の形態におけるインサークットエミュレータの構成を示すブロック図である。

【図2】 この発明による実施の形態におけるインサークットエミュレータのエミュレータバスアクセスの動作タイミングを示す波形図である。

【図3】 通常のマイクロコンピュータとインサークットエミュレータの構成を対比して示すブロック図である。

【図4】 従来技術によるインサークットエミュレータの構成を示すブロック図である。

【図5】 通常のインサークットエミュレータのエミュレータバスアクセスの動作タイミングを示す波形図である。

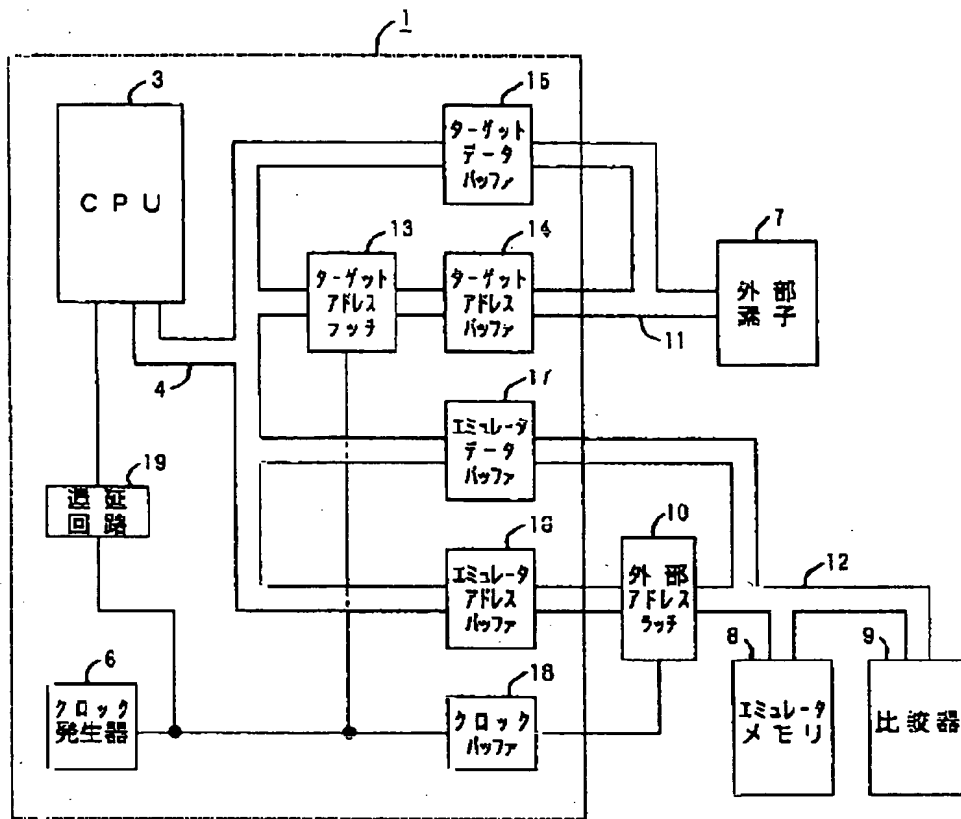
【符号の説明】

1 エミュレータプロセッサ、3 CPU、4 内部バス、6 クロック発生器、7 外部素子、8 エミュレータメモリ、9 ブレークポイントを検出するための比較器、10 外部アドレスラッチ、11 ターゲットバス、12 エミュレータバス、13 ターゲットアドレスラッチ、14 ターゲットアドレスバッファ、15 ターゲットデータバッファ、16 エミュレータアドレ

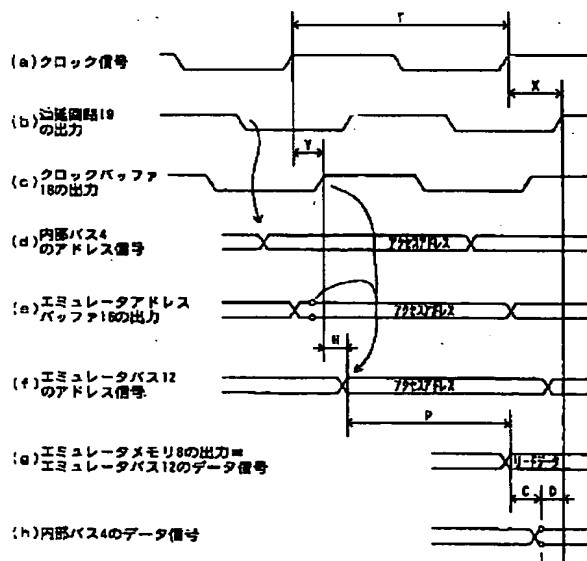
スバッファ、17 エミュレータデータバッファ、18

クロックバッファ、19 遅延回路。

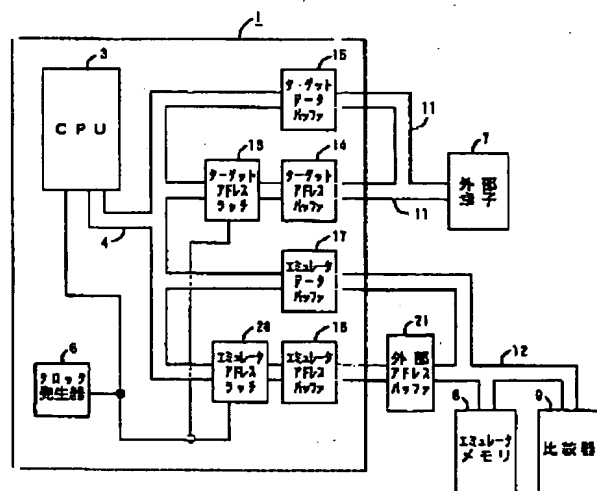
【図1】



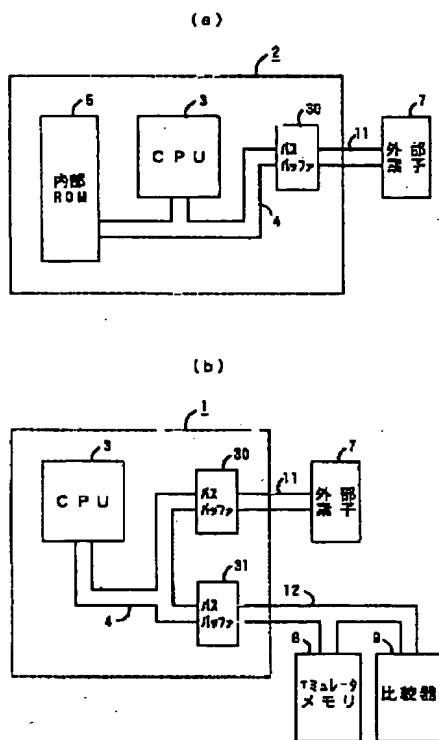
【図2】



【図4】



【図3】



【図5】

